



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09160869 A**(43) Date of publication of application: **20 . 06 . 97**

(51) Int. Cl.

**G06F 13/378**  
**G06F 13/00**  
**H04L 12/28**  
**H04N 5/765**

(21) Application number: **07344597**(22) Date of filing: **05 . 12 . 95**(71) Applicant: **SONY CORP**

(72) Inventor:  
**IJIMA YUKO**  
**SHIMA HISATO**  
**KAWAMURA HARUMI**  
**SATO MAKOTO**

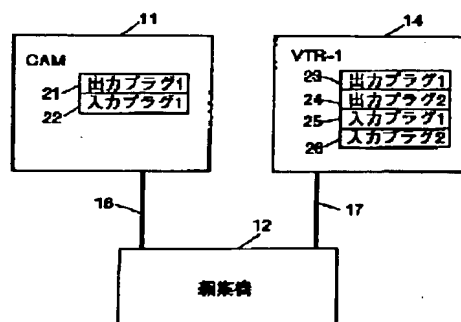
(54) **ELECTRONIC EQUIPMENT AND ITS CONTROL METHOD**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To inquire and specify the kind of an information signal without providing any dedicated control signal by employing the same structure as that of a specific header of an information signal packet in the format of an information signal for a control signal representing the format of the information signal.

**SOLUTION:** An editing machine 12 inquires of a CAM 11 an information signal format that can be outputted from an output plug 21 or an information signal format that can be inputted to a VTR 14 from the input plug 21. In this case, the editing machine 12 sends a command for inquiring the format of an audio and a video signal that can be outputted from the output plug 21 and the format of an audio and a video signal that can be inputted from the input plug 25 and receives a response to it. The formats of the command and response are given the same structure as that of the CIP header of a packet used to transmit the audio and video signals.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-160869

(43)公開日 平成9年(1997)6月20日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/378			G 0 6 F 13/378	
	13/00	3 5 1		3 5 1 A
H 0 4 L 12/28			H 0 4 L 11/00	3 1 0 Z
H 0 4 N 5/765			H 0 4 N 5/782	K

審査請求 未請求 請求項の数4 F D (全 8 頁)

(21)出願番号 特願平7-344597

(22)出願日 平成7年(1995)12月5日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 飯島 祐子

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 嶋 久登

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 川村 晴美

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 杉山 猛

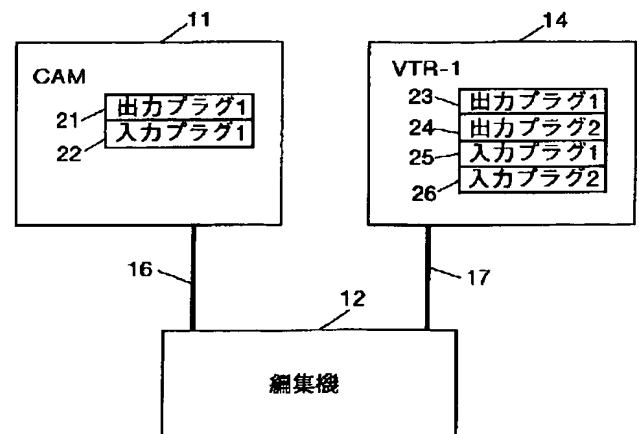
最終頁に続く

## (54)【発明の名称】 電子機器及びその制御方法

## (57)【要約】

【課題】 プラグから出力又はプラグへ入力できる情報信号の種類の間い合わせ及び指定を、そのための専用の制御信号を設けることなく可能にする。

【解決手段】 編集機12の制御によりCAM11の第1の出力プラグ21からオーディオ/ビデオ信号を出力させ、第1のVTR14の第1の入力プラグ25へ入力させる場合を説明する。この場合、編集機12はCAM11及び第1のVTR14との間で、第1の出力プラグ21から出力できるオーディオ/ビデオ信号のフォーマット及び第1の入力プラグ25から入力できるオーディオ/ビデオ信号のフォーマットについて問い合わせを行うためのコマンドを送信し、そのレスポンスを受け取る。このコマンドやレスポンスのフォーマットをオーディオ/ビデオ信号の伝送に用いるパケットのCIPヘッダーと同じ構造にする。



## 【特許請求の範囲】

【請求項1】 制御信号パケットと情報信号パケットとを混在させることのできる通信制御バスによって複数の電子機器を接続し、該電子機器間で情報信号及び制御信号を通信するシステムに用いる電子機器であって、前記制御信号パケットの送受信手段と、前記情報信号パケットの送受信手段と、を備え、前記通信制御バスに対して入出力する情報信号のフォーマットを表す制御信号の構造を該フォーマットの情報信号パケットの所定のヘッダーと同じ構造にしたことを特徴とする電子機器。

【請求項2】 制御信号パケットと情報信号パケットとを混在させることのできる通信制御バスによって複数の電子機器を接続し、該電子機器間で情報信号及び制御信号を通信するシステムにおいて、前記電子機器が前記通信制御バスに対して入出力する情報信号のフォーマットを表す制御信号の構造を該フォーマットの情報信号パケットの所定のヘッダーと同じ構造にしたことを特徴とする電子機器の制御方法。

【請求項3】 電子機器は、他の電子機器が入出力する情報信号のフォーマットを指定する際に、前記情報信号パケットの所定のヘッダーを入れた制御信号パケットを前記他の電子機器へ送信する請求項2に記載の電子機器の制御方法。

【請求項4】 電子機器は自分が入出力できる情報信号のフォーマットを他の電子機器に知らせる際に、前記情報信号パケットの所定のヘッダーを入れた制御信号パケットを前記他の電子機器へ送信する請求項2に記載の電子機器の制御方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えばIEEE-1394に準拠したシリアルバス（以下IEEE1394シリアルバスという）のような、制御信号パケットと情報信号パケットとを混在させて伝送できる通信制御バスで接続された複数の電子機器間で通信を行うシステムに関し、詳細には電子機器が入出力する情報信号のフォーマットを表す制御信号の構造に関する。

## 【0002】

【従来の技術】IEEE1394シリアルバスのような制御信号パケットと情報信号パケットとを混在させて伝送できる通信制御バスによって複数の電子機器を接続し、これらの電子機器間で情報信号及び制御信号を通信するシステムが考えられている。

【0003】図16にこのようなシステムの例を示す。このシステムは、カメラ一体型ビデオテープレコーダ（以下CAMという）11と、編集機（編集コントローラ）12と、テレビジョン受像機（以下TVという）13と、第1のビデオテープレコーダ（以下ビデオテープレコーダをVTRという）14と、第2のVTR15と

を備えている。そして、CAM11と編集機12との間、編集機12と第1のVTR14との間、第1のVTR14とTV13の間、及び第1のVTR14と第2のVTR15との間は、IEEE1394シリアルバス16～19により接続されている。ここで、#A～#Eは、各々CAM11、編集機12、TV13、第1のVTR14と、及び第2のVTR15のシステム内のノードIDである。

【0004】システム内の各電子機器（以下「電子機器」を「機器」という）における信号の伝送は、図17に示すように、所定の通信サイクル（例えば125μsec）毎に時分割多重によって行なわれる。そして、この信号の伝送はサイクルマスターと呼ばれる機器が通信サイクルの開始時であることを示すサイクルスタートパケットをバス上へ送出することにより開始される。なお、サイクルマスターは、各機器をIEEE1394シリアルバスのケーブルで接続した時に、IEEE-1394で規定する手順により自動的に決定される。

【0005】1通信サイクル中における通信の形態は、ビデオデータやオーディオデータなどの情報信号をアイソクロナス（以下「アイソクロナス」を「Iso」という）伝送するIso通信と、接続制御コマンド等の制御信号をアシンクロナス（以下「アシンクロナス」を「Async」という）伝送するAsync通信の二種類である。そして、IsoパケットがAsyncパケットより先に伝送される。Isoパケットそれぞれにチャンネル番号1, 2, 3, …, nを付けることにより、複数のIsoデータを区別することができる。Isoパケットの送信が終了した後、次のサイクルスタートパケットまでの期間がAsyncパケットの伝送に使用される。

【0006】IEEE1394シリアルバスにIsoパケットを送出しようとする機器は、まず情報信号の伝送に必要な帯域とチャンネルとを確保する。このため、IEEE1394シリアルバスのチャンネルと帯域を管理する機器であるIRM（Isochronous Resource Manager）に、チャンネル及び必要とする帯域を申請する。

【0007】IRMは、図18に示すように、バスの各チャンネルの使用状態を示すレジスタ（CHANNELS AVAILABLE REGISTER）REG1と、バスの残りの容量を示すレジスタ（BANDWIDTH AVAILABLE REGISTER）REG2とを備えている。

【0008】IEEE1394シリアルバスにIsoパケットを送出しようとする機器は、これらのレジスタREG1, 2に対して、Asyncパケットを用いて読み出し命令を送り、REG1, 2の内容を読み出す。そして、空きチャンネルと空き容量があれば、Asyncパケットを用いて自分が使用したいチャンネルと帯域をREG1, 2に書き込むための書き込み命令をIRMへ送

る。レジスタREG1、2への書き込みに成功すれば、IEEE1394シリアルバスへの出力が可能となる。

【0009】例えば、チャンネルNに帯域Xで出力したいノードは、REG1におけるチャンネルNのビットを0にリセットし、かつREG2の値を帯域X分だけ減算することによりIEEE1394シリアルバスへの出力権を得る。また、IEEE1394シリアルバスへの出力権を放棄する時は、上記と逆の手順、すなわち、確保していた帯域値XをREG2に加算し、かつREG1のチャンネルNのビットを1にセットする。これにより、使用していたチャンネルと帯域を解放する。

【0010】なお、IRMは、複数の機器をIEEE1394シリアルバスに接続してシステムを構成した時に、IEEE-1394で規定する手法により自動的に決定される。

#### 【0011】

【発明が解決しようとする課題】前述したように構成されたシステムにおいて、例えば編集機12の制御により、CAM11内のビデオカセットから再生したデジタルビデオ信号及びデジタルオーディオ信号（以下ビデオとオーディオをまとめてAVという）を第1のVTR14内のビデオカセットにダビングする場合には、CAM11の出力が第1のVTR14へ入力されるように接続制御を行なうことが必要となる。

【0012】本願出願人は先にこのような入出力制御を管理するために仮想的なプラグの概念を提案した。この仮想的なプラグの実体は、機器内に設けられた例えばプラグコントロールレジスタと呼ばれるレジスタであって、機器が入出力する情報信号のチャンネル番号や帯域等をこのレジスタに書き込むことにより、機器が入出力する情報信号を管理する。そして、機器内部から仮想的な出力プラグを経てIEEE1394シリアルバスへ情報信号を出力し、IEEE1394シリアルバスから仮想的な入力プラグを経て機器内部へ情報信号を入力すると考えるものである。

【0013】本発明は、前述した仮想的なプラグからIEEE1394シリアルバスへ出力できる、又はIEEE1394シリアルバスから仮想的なプラグへ入力できる情報信号の種類の問い合わせ及び指定を、そのための専用の制御信号を設けることなく可能にした機器及びその制御方法を提供するものである。

#### 【0014】

【課題を解決するための手段】前記課題を解決するために、本発明に係る機器は、制御信号と情報信号とを混在させることのできる通信制御バスによって複数の機器を接続し、これらの機器間で情報信号及び制御信号を通信するシステムに用いる機器であって、制御信号パケットの送受信手段と、情報信号パケットの送受信手段とを備え、通信制御バスに対して入出力する情報信号のフォーマットを表す制御信号の構造をそのフォーマットの情報

信号パケットの所定のヘッダーと同じ構造にしたことを特徴とするものである。

【0015】また、本発明に係る機器の制御方法は、制御信号と情報信号とを混在させることのできる通信制御バスによって複数の機器を接続し、これらの機器間で情報信号及び制御信号を通信するシステムにおいて、機器が通信制御バスに対して入出力する情報信号のフォーマットを表す制御信号の構造をそのフォーマットの情報信号パケットの所定のヘッダーと同じ構造にしたことを特徴とするものである。

【0016】本発明によれば、機器は、他の機器が入出力をする情報信号のフォーマットを指定する際に、そのフォーマットの情報信号パケットの所定のヘッダーと同じ構造の制御信号を入れた制御信号パケットを他の機器へ送信する。

【0017】また、本発明によれば、機器は自分が入出力できる情報信号のフォーマットを他の機器に知らせる際に、自分が入出力できるフォーマットの情報信号パケットの所定のヘッダーと同じ構造の制御信号を入れた制御信号パケットを他の機器へ送信する。

【0018】なお、本発明において情報信号の入出力とは、入力又は出力の少なくとも一方を意味する。

#### 【0019】

【発明の実施の形態】以下本発明の実施の形態について図面を参照しながら詳細に説明する。図1は本発明を適用した機器の要部構成を示すブロック図である。この図に示すように、本発明を適用した機器は、情報信号処理ブロック1と、Isoパケットの送受信を行なうIsoパケット送受信ブロック2と、Asyncパケットの送受信を行なうバスコントロールブロック3とを備えている。

【0020】情報信号処理ブロック1は、デジタルAV信号等の情報信号を処理するブロックであって、機器がデジタルVTRであればデッキ部に相当するものである。そして、情報信号処理ブロック1はバスコントロールブロック3に対して、現在処理中の情報信号の種類を知らせる。

【0021】Isoパケット送受信ブロック2は、情報信号処理ブロック1から送られてくる情報信号のソースデータをIsoパケットに入れて、バスへ送出する。また、バス上のIsoパケットから情報信号のソースデータを取り出し、情報信号処理ブロック1へ送る。この時、バスコントロールブロック3により、Isoパケットの送受信がオン/オフ制御される。

【0022】バスコントロールブロック3は、通信システムの構造の解析、情報信号処理ブロック1から送られてくる情報信号の種類の解析、伝送帯域の獲得、プラグコントロールレジスタの設定、及びIsoパケット送受信ブロック2における送受信動作のオン/オフ制御等を行なう。このとき、そのために必要な制御信号を入れた

10

20

30

40

50

Asyncパケットの送受信を行う。バスコントロールブロック3にはプラグコントロールレジスタ4が設けられている。

【0023】次に、図16における編集機12の制御により、CAM11内のビデオカセットから再生したデジタルAV信号を第1のVTR14内のビデオカセットにダビングする場合を例にして情報信号フォーマットの問い合わせ及び指定の手順を説明する。

【0024】図2はCAMと第1のVTR内のプラグを示す図である。ここで、図16と対応する部分には同一の番号が付してある。この図に示すように、CAM11には第1の出力プラグ21と第1の入力プラグ22が設けられており、第1のVTR14には第1の出力プラグ23、第2の出力プラグ24、第1の入力プラグ25、及び第2の入力プラグ26が設けられている。ここでは、デジタルAV信号をCAM11の第1の出力プラグ21から出力させ第1のVTR14の第1の入力プラグ25へ入力させるものとして説明する。

【0025】前述した情報信号フォーマットの問い合わせ及び指定の手順はAsyncパケットを用いて行なわれるので、まずAsync通信について説明する。

【0026】Async通信において、ある機器が他の機器に何かを要求する制御信号をコマンドと呼び、このコマンドをパケットに入れて送る側をコントローラと呼ぶ。また、コマンドを受け取る側をターゲットと呼ぶ。ターゲットは必要に応じてコマンドの実行結果を示す制御信号（これをレスポンスと呼ぶ）を入れたパケットを、コントローラへ返信する。

【0027】このコマンドとレスポンスとは、一つのコントローラと一つのターゲットとの間で通信され、コマンドの送信で開始しレスポンスの返信で終了する一連のやりとりをコマンドトランザクションと呼ぶ。コントローラは、コマンドトランザクションによって、ターゲットに特定の動作を行うように要求したり、ターゲットの現在の状態を問い合わせることができる。システム内のどの機器もコマンドトランザクションを開始、終了することができる。すなわち、どの機器もコントローラにもターゲットにもなることができる。

【0028】図3に制御信号を含んだAsyncパケットの構造を示す。コマンドもレスポンスも同じ構造である。この図において、パケットのデータは上から下へ、かつ左から右へ順に伝送される。パケットは32ビット（＝1クアドレット）単位で表される。また、パケットヘッダーとデータブロックとから構成されている。そして、パケットヘッダーのソースIDが示す機器からディスティネーションIDが示す機器のディスティネーションオフセットに示すアドレスへ、データブロックの内容を書き込む。

【0029】例えば、図16において編集機12から第1のVTR14へコマンドを送る場合には、ソースID

は#B、ディスティネーションIDは#D、ディスティネーションオフセットは第1のVTR14内においてコマンドを格納するエリアとして割り付けられたメモリ空間である。

【0030】図3のデータブロックにおいて、CTS（コマンドトランザクションセット）は、コマンド言語の種類を示す。また、CT/RC（コマンドタイプ/レスポンスコード）は、コマンドの場合には要求の種類を示し、レスポンスの場合には要求に対する返事の種類を示す。HA（ヘッダーアドレス）はコマンドの場合には要求する相手が機器全体なのか機器内のサブデバイス（機能単位）なのかを示し、レスポンスの場合には、その相手が返事をするという意味で対応するコマンドと同じである。OPC（オペレーションコード）はコマンドコード、すなわち具体的な要求を示し、それに続くOPR（オペランド）でその要求に必要なパラメータを示す。

【0031】図4に情報信号フォーマットの問い合わせ及び指定の手順を示す。

（1）まず、編集機12は、CAM11に対して、第1の出力プラグ21から出力できる情報信号フォーマットの問い合わせをする。図5にこの問い合わせ手順に用いる制御信号の構造を示す。図5において、CTSはAV機器の制御に用いるAV/C（Audio Video / Control）コマンドセットである。

【0032】（2）これに対して、CAM11は、現在第1の出力プラグ21から出力することのできる情報信号のフォーマットを示すデータを入れたレスポンスパケットを編集機12へ送信する。図6にこのレスポンスパケットに入れる制御信号の構造を示す。この場合は、「SD（Standard Definition）－DVCR（Digital Video Cassette Recorder）525－60システム」であることを示す。

【0033】この制御信号の2クアドレット目の構造は、IsoパケットのCIP（Common Isochronous Packet）ヘッダーの2クアドレット目の構造と等しい。CIPヘッダーとは、Isoパケットのデータフィールドの先頭に、その情報信号の内容を示すものとして付与するヘッダーのことである。

【0034】ここで、CIPヘッダーについてさらに詳細に説明する。図7にIsoパケットを示す。この図においても、図3と同様パケットのデータは上から下へ、かつ左から右へ順に伝送される。タグ（tag）フィールドの2ビットが01<sub>2</sub>のときに、データフィールドの先頭に図8に示すような2クアドレットのCIPヘッダーを挿入する。デジタルビデオ機器やデジタルオーディオ機器等のデジタルAV信号の実時間データを扱う目的のために、タグの値を01<sub>2</sub>とする。

【0035】図8に示すように、CIPヘッダーの1番

10

20

30

40

50

目のクアドレットは、フォーマットによってビットのアサインメントが変わらない。この1番目のクアドレットの各ビットの意味の説明は省略する。CIPヘッダーの2番目のクアドレットにおけるフォーマットIDフィールド（以下FMTという）は、IEEE1394シリアルバスで伝送されるフォーマットの識別に使用される。フォーマット依存フィールド（以下FDFという）はFMTによりその仕様が決められる。

【0036】図9にCIPヘッダーのFMTのコード割り付けを示す。この図に示すように、FMT=0000 10 00<sub>2</sub>でDVCR、100000<sub>2</sub>でMPEG信号伝送のフォーマットを指定している。

【0037】CAM11の第1の出力プラグ21から出力できる情報信号が、DVCR信号である場合のFDFの構造図を図10に示す。そしてこの場合の50/60とSTYPE（Signal Type）のコード割り付けを図11に示す。図10及び図11から明らかなように、50/60が0<sub>2</sub>、かつSTYPEが00000<sub>2</sub>であれば、図6に示したとおり525-60システムであることを表す。

【0038】図12にSYT（Sync Time）の構造を示す。タイムスタンプの値が与えられるときは、SYTの16ビットはサイクルカウンットの4ビットと、サイクルオフセットの12ビットに分ける。このサイクルカウンットは、IEEE1394シリアルバス上のサイクルマスターに設けられているサイクルタイムレジスタのサイクルカウンットの13ビットの下位4ビットの値を用いる。また、サイクルオフセットの12ビットは、サイクルタイムレジスタのサイクルオフセットの12ビットの値をそのまま用いる。タイムスタンプの値が与えられないときは、16ビットのすべてが1となる。

【0039】再び図4の説明に戻る。

（3）次に、編集機12は、第1のVTR14に対して同様に、第1の入力プラグ25から入力できる情報信号フォーマットの問い合わせをする。図13にこの問い合わせ手順に用いる制御信号の構造を示す。

【0040】（4）このとき、第1のVTR14はこれに対して、図14に示す情報信号フォーマットを示すデータをレスポンス packets に乗せて送信する。ここでは、「HD（High Definition）DVCR 1125-60システム」であることを示すレスポンスを返したとする。

【0041】しかし、このままではCAM11の第1の出力プラグ21と第1のVTR14の第1の入力プラグ25が流せる信号フォーマットが異なるため、正しくダビングすることができない。

【0042】（5）そこで、編集機12は、第1のVTR14へ第1の入力プラグ25の対応する信号フォーマットを、「SD-DVCR 525-60システム」に変更するように、コントロールコマンドを送信する。こ

のときの制御信号の構造を図15に示す。

【0043】（6）第1のVTR14は指定されたプラグの信号フォーマット変更に対応できるならば、コントロールコマンドに対してacceptのレスポンスを返し、第1の入力プラグ25に接続されている内部サブデバイスの対応信号フォーマットを「SD-DVCR 525-60」に切り換える。

【0044】（7）最後に、編集機12は、CAM11の第1の出力プラグ21から情報信号を出力させ、第1のVTR14の第1の入力プラグ25からその情報信号を入力させることによって、CAM11→第1のVTR14間のダビングが成功する。

【0045】なお、第1のVTR14の第2の入力プラグ26に対しても同様に信号フォーマットの問い合わせをして、レスポンスが「SD-DVCR 525-60システム」であれば、CAM11の第1の出力プラグ21から出力させて第1のVTR14の第2の入力プラグ26から入力させることによって、ダビングを行うこともできる。

20 【0046】このように、本実施の形態によれば、機器のプラグから入出力できる情報信号フォーマットの問い合わせ及びコントロールをする際に用いる制御信号の構造をそのフォーマットの情報信号のCIPヘッダーと同じ構造にしている。このため、情報信号フォーマットを表すために新たにコード割り付け表を持たなくても、プラグの信号フォーマットの問い合わせ及びコントロールに関して、CIPヘッダーと同じフォーマットで制御信号をやり取りすれば、Iso packetsを受け取れる機器ならば、CIPヘッダーの中身も理解できるため、必

30 【0047】また、IEEE1394シリアルバス上に流す情報信号のフォーマットが将来追加された場合でも、CIPヘッダーさえ定義すればよく、情報信号のフォーマットのコントロール及び問い合わせの命令自体の追加、変更の必要はない。

【0048】

【発明の効果】以上詳細に説明したように、本発明によれば、機器が通信制御バスに対して入出力する情報信号のフォーマットを表す制御信号の構造をそのフォーマットの情報信号 packets のヘッダーと同じ構造にしたので、情報信号フォーマットを表すために新たにコード割り付け表を設ける必要がない。また、将来、情報信号フォーマットが追加された場合でも、情報信号のフォーマットのコントロール及び問い合わせの命令自体の追加、変更の必要はない。

【図面の簡単な説明】

【図1】本発明を適用した機器の要部構成を示すブロック図である。

【図2】CAMと第1のVTR内のプラグを示す図である。

【図3】制御信号を含んだAsyncパケットの構造を示す図である。

【図4】情報信号フォーマットの問い合わせ及び指定の手順を示す図である。

【図5】問い合わせ手順に用いる制御信号の構造の一例を示す図である。

【図6】レスポンスパケットに入れる制御信号の構造の一例を示す図である。

【図7】Isoパケットの構造を示す図である。

【図8】CIPヘッダーの構造を示す図である。

【図9】CIPヘッダーのFMTのコード割り付けを示す図である。

【図10】FDFの構造の一例を示す図である。

【図11】STYPEのコード割り付けを示す図である。

【図12】SYTの構造を示す図である。

【図13】問い合わせ手順に用いる制御信号の構造の他\*

\*の一例を示す図である。

【図14】レスポンスパケットに入れる制御信号の構造の他の一例を示す図である。

【図15】指定手順に用いる制御信号の構造の一例を示す図である。

【図16】IEEE1394シリアルバスによって複数の機器を接続したシステムの一例を示す図である。

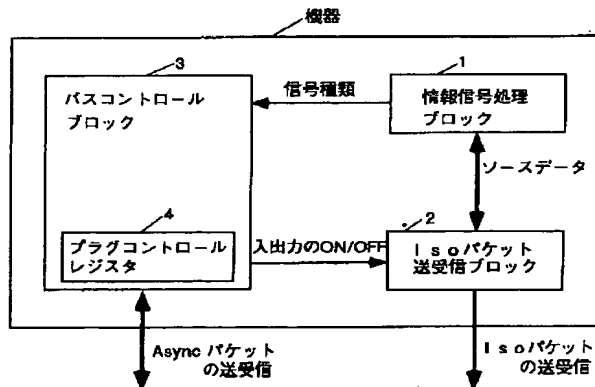
【図17】IEEE1394シリアルバス上におけるデータ構造の一例を示す図である。

10 【図18】帯域とチャンネルを獲得する方法を説明する図である。

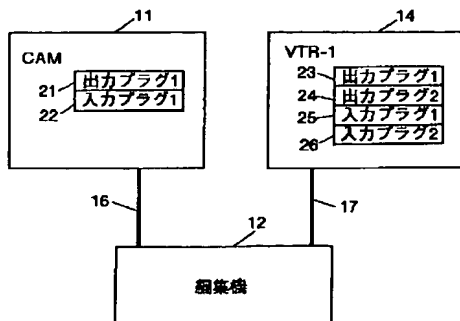
【符号の説明】

1…情報信号処理ブロック、2…Isoパケット送受信ブロック、3…バスコントロールブロック、4…プラグコントロールレジスタ、11…CAM、12…編集機、13…TV、14、15…VTR、16～19…IEEE1394シリアルバス

【図1】



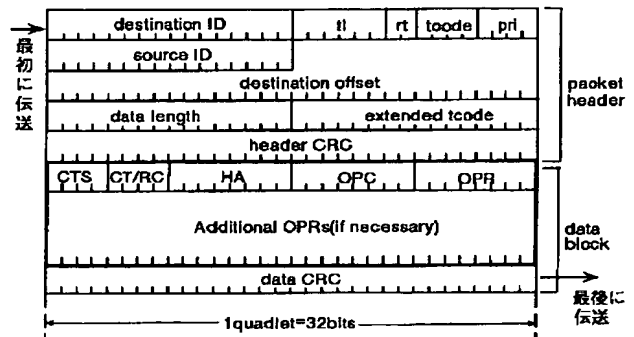
【図2】



【図6】

AV/C command set	reponse	デバイス宛	Out. Plug Signal Form?	Out. Plug1
1 0	000000 (DVCR)	01 00000 (525-60)	00	SYT

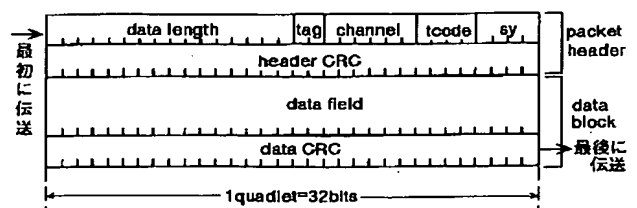
【図3】



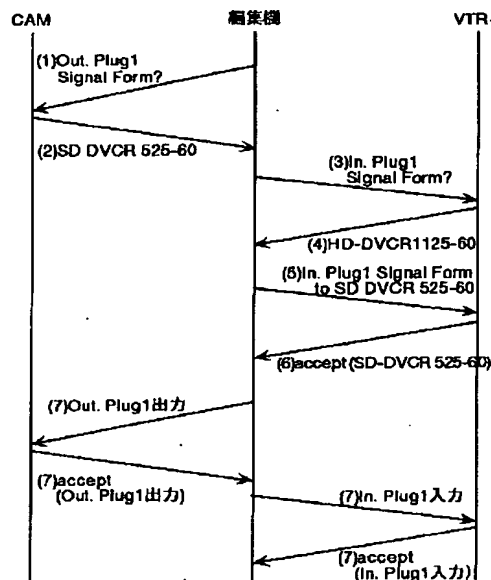
【図5】

AV/C command set	status inquiry	デバイス宛	Out. Plug Signal Form?	Out. Plug1
dummy	dummy	dummy	dummy	dummy

【図7】



【図4】



【図9】

FMT(binary)	内容
000000	DVCR
000001	Reserved
100000	MPEG
111110	Free(vendor unique)
111111	No data

【図12】

サイクルカウンタ	サイクルオフセット
4	12

(a) タイムスタンプの値が与えられるとき

16ビットが全て1
-----------

(b) タイムスタンプの値が与えられないとき

【図14】

AV/C command set	response	デバイスから	In. Plug Signal Form?	In. Plug1
1 0	000000 (DVCR)	0 00010 (1125-60)	00	SYT

【図8】

0 0	source ID	DBS	FN	QPC	HS	Rsv	DBC
1 0	FMT	FDF					

【図11】

STYPE	50/60	
	0	1
00000	525-60 system	625-60 system
00001	Reserved	
00010	1125-60 system	1250-50 system
00011	Reserved	
...		
11111		

【図10】

1 0	000000 (DVCR)	0 00010 (1125-60)	STYPE	Rsv	SYT
-----	---------------	-------------------	-------	-----	-----

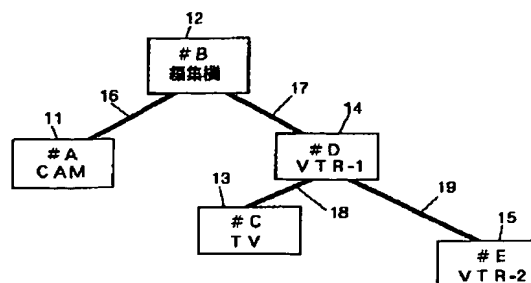
【図13】

AV/C command set	status Inquiry	デバイス宛	In. Plug Signal Form?	In. Plug1
dummy	dummy	dummy	dummy	dummy

【図15】

AV/C command set	Control	デバイス宛	In. Plug Signal Form?	In. Plug1
1 0	000000 (DVCR)	0 00000 (525-60)	00	SYT

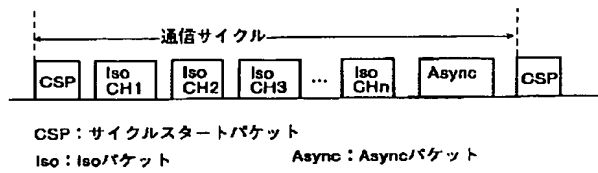
【図16】



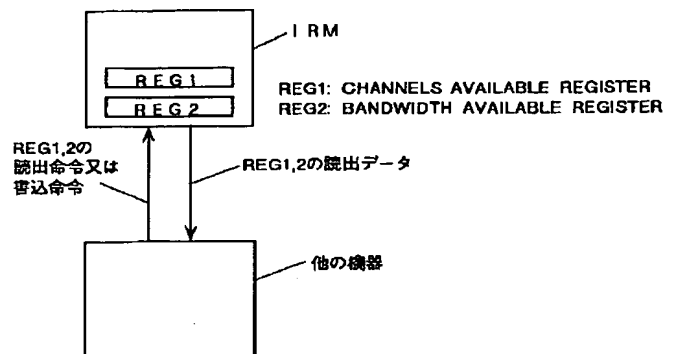
16~19...IEEE1394シリアルバス



【図17】



【図18】



フロントページの続き

(72)発明者 佐藤 真  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内